

引用格式: 罗德猛, 徐海东, 胡长青, 等. 一种可用于自容式水听器的信号采集电路设计[J]. 声学技术, 2023, 42(3): 306-313. [LUO Demeng, XU Haidong, HU Changqing, et al. A design of signal acquisition circuit for self-contained hydrophone[J]. Technical Acoustics, 2023, 42(3): 306-313.] DOI: 10.16300/j.cnki.1000-3630.2023.03.006

一种可用于自容式水听器的信号采集电路设计

罗德猛^{1,2}, 徐海东¹, 胡长青^{1,2}, 孙东飞¹

(1. 中国科学院声学研究所东海研究站, 上海 201815;
2. 中国科学院大学, 北京 100049)

摘要: 针对自容式水听器低功耗、低噪声等需求, 设计了一种自容式的水声信号采集电路。在模拟电路部分, 为了提高信噪比、降低功耗, 使用了二端口噪声分析和全差分设计, 并将模拟电路的工作电压降至 3 V; 为了削减 1/f 噪声和高频无关噪声, 组合使用了贝塞尔滤波器和切比雪夫滤波器。在数字电路部分, 使用 ZYNQ 可扩展处理平台代替传统的微控制器(Micro Control Unit, MCU)与现场可编程门阵列(Field Programmable Gate Array, FPGA), 并根据工作频带通过配置锁相环(Phase Locked Loop, PLL)锁相环的工作频率调节采样频率, 使用双先入先出队列(First In First Out, FIFO)块向外置记忆卡(Trans Flash, TF)卡写入数据, 使数字信号以较高速率传输并存储。经过仿真和测试, 模拟电路在 60 Hz~58 kHz 之间的增益达到 52 dB。实测结果显示, 模拟电路部分的功耗为 95 mW, 数字电路部分的功耗为 1.9 W; 在模数转换(Analog / Digital, A/D)芯片采样率达到 128 kHz 时, 电路自噪声频谱略高于 -110 dB, 总噪声均方根为 961 μ V。该采集系统配合大容量的 TF 卡, 可以满足自容式水听器长时间连续采集声信号的需求。

关键词: 自容式数据采集; 嵌入式可扩展处理平台; 全差分; 低功耗

中图分类号: TB533

文献标志码: A

文章编号: 1000-3630(2023)-03-0306-08

A design of signal acquisition circuit for self-contained hydrophone

LUO Demeng^{1,2}, XU Haidong¹, HU Changqing^{1,2}, SUN Dongfei¹

(1. Donghai Research Station, Institute of Acoustics, Chinese Academy of Sciences, Shanghai 201815, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: To meet the requirement for low power consumption, low noise and wide band, a self-contained underwater acoustic signal acquisition circuit is designed. In order to improve the signal to noise ratio (SNR) and reduce power consumption, two-port noise analysis and fully differential design are used in analog circuit, and the operating voltage of the analog circuit is reduced to 3 V. Bessel filter and Chebyshev filter are combined to reduce 1/f noise and high frequency irrelevant noise. In the digital circuit section, ZYNQ embedded extensible processing platform is used instead of traditional micro control unit (MCU) and field programmable gate array (FPGA). Phase locked loop (PLL) core is used to change the sampling frequency according to the operation frequency band, and double first in first out (FIFO) block is used to write data to trans flash (TF) card, so that the digital signal is transmitted and stored at a higher rate. By simulation, the analog circuit achieves a gain of 52 dB within 60 Hz to 58 kHz. The measured results show that the analog circuit power consumption is 95 mW, the digital circuit power consumption is 1.9 W; when the sampling rate of analog / digital (A/D) chip reaches 128 kHz, the self-noise spectrum of the circuit is slightly higher than -110 dB, and the root mean square (RMS) of total noise is 961 μ V. The acquisition system with large capacity TF card can meet the needs of self-contained hydrophone to collect acoustic signals continuously for a long period.

Key words: self-contained data acquisition; embedded extensible processing platform; fully differential; low power consumption

0 引言

水声信号的采集, 是开展水声信号处理和各项性能、规律研究的重要前提。因此, 水声采集仪器

的性能, 往往决定了采集数据的质量, 进而影响后续研究。自容式水听器能够自行采集并存储数据, 不仅操作简便, 而且可以实现大规模布放、低成本采集, 对水声研究的开展有一定帮助。自容式水听器的采集电路设计主要需要考虑低噪声、低功耗和数据写入因素。低噪声设计要求在输入端根据传感器内阻进行阻抗匹配, 使用低噪声器件, 并根据设计预期进行滤波, 以削弱 1/f 噪声或数字串扰; 低功耗设计要求较低的元器件功耗, 较低的工作电压

收稿日期: 2021-09-24; 修回日期: 2021-12-06

作者简介: 罗德猛(1997—), 男, 山东济宁人, 硕士研究生, 研究方向为水声技术。

通信作者: 徐海东, E-mail: xhd@mail.ioa.ac.cn

等；写入速率则应与采样率匹配，以保证采集信号的完整性。

当前，在水听器模拟电路的研究上，比较热门的一个方向是改良模拟电路低频或甚低频的特性。目前较常见的方法有数字滤波补偿、增大输入阻抗、使用分立器件、改用结型场效应管等元件搭建前放等。另一个较为热门的方向是矢量水听器的研究。矢量水听器由于可以使用单个阵元产生方向性，具有较好的应用前景，目前有利利用惠斯通电桥原理研制的T型MEMS水听器、纤毛式矢量水听器，以及采集声压标量和振速矢量的矢量水听器等。此外，还有一些研究通过数字方式对不同频率或使用场景下的信号进行了增益控制。

茹鸿菲等^[1]基于结型场效应管利用分立器件设计的甚低频压电式水听器采集电路，下限截止频率低至0.1 Hz，在甚低频有效地降低了电路噪声。费腾等^[2]设计的超高输入阻抗前置放大器，在0.01 Hz时输入阻抗可达6 G Ω ，能有效降低水听器的下限频率。王文龙^[3]设计的矢量水听器可以同时采集声压标量和振速矢量。王建平等^[4]设计的纤毛式MEMS矢量水听器微弱信号提取电路具有“8”字方向特性和良好的低频特性。薛南等^[5]设计的T型MEMS矢量水听器采集电路对中心频率增益较高，而且能够产生较强指向性。朱明骏^[6]设计的水听器数字前放，可以改变不同频率下的信号增益。何海兴等^[7]研制开发的数字水听器，可以使用高增益和低增益两个模拟信号通道进行数据采集。

自容式水声信号采集电路近年来发展也较为迅速。当前，自容式水听器的研究方向主要集中在以下方面：通过选择低功耗器件和低功耗工作模式降低模拟、数字电路的功耗；通过使用不同的通信接口适应不同的工作场景，例如使用串行外设接口(Serial Peripheral Interface, SPI)通信安全数码卡(Secure Digital Card, SD)卡实现难度较低，且可以应用文件配置表系统(File Allocation Table Filesystem, FatFs)文件系统，方便文件提取，而使用通用串行总线(Universal Serial Bus, USB)等高速总线可以实现高速数据存写；通过不同的时钟同步方式，形成自容式阵列；采集水声信号的同时采集振速、姿态传感器等各种矢量信号，拓宽采集范围等。由于数字电路的可拓展性好，功能丰富，自容式水听器仍有很大的发展潜力。

2006年，孙岩松^[8]在国内较早实现了DSP处理器为核心的数字水听器。2007年，唐骁骧^[9]在国内较早采用微控制器(Micro Control Unit, MCU)与现场可编程门阵列(Field Programmable Gate Array,

FPGA)相结合的模式对自容式水听器进行了设计。2009年，张洪刚等^[10]利用FPGA辅助单片机向SD卡高速读写水声信号，提升了在FatFs系统下的写入速度。邢传玺等^[11]设计的自容式水听器分布测量系统，实现了各个阵元之间的时钟同步，克服了自容式水听器组成阵列的问题。周莹等^[12]设计的水声信号采集、存储系统，利用USB接口通过双数据率同步动态随机存储器(Double Data Rate Synchronous Dynamic Random Access Memory, DDR SDRAM)向电子硬盘中写入水声数据，极大提升了数据采集速度。贾启航^[13]设计的自容式数据处理平台，可以同时采集振速、深度等信息，丰富了自容式水听器的功能。李晨歌等^[14]设计并实现的自容式水听器，能同时采集姿态传感器信号，拓宽了自容式系统的采集范围。国外的自容式水听器商业化已经比较成熟，例如Ocean Sonics公司生产的icListen系列自容式水听器^[15]，在不同采样频段都有对应的型号，且具有水密性好、数字交互系统完善、使用简单等优点。

对于自容式水听器的模拟电路，本文通过电压跟随设计和等效噪声分析设计了低噪声的差分前置放大电路；为了削减1/f噪声和高频干扰，采用了切比雪夫滤波器和贝塞尔滤波器组合的方式设计了60 Hz~58 kHz的全差分带通滤波器，并对模拟电路的幅频曲线进行了仿真与实测对比。在数字电路方面，本文通过ZYNQ嵌入式可拓展处理平台^[16]代替传统的FPGA+MCU模式，通过PLL核为模数转换(Analog / Digital, A/D)采样芯片提供灵活的输入时钟，配合A/D本身的采样率调节功能，可以使A/D芯片的采样频率根据采集信号的带宽更加灵活地变动，使其适应多种采样条件。为提高FatFs系统向SD卡的写入速度，增大了写入缓存区，写入速度达到了4 MB·s⁻¹，完全覆盖模拟电路信号通带。

相较于传统自容式水听器采集电路，本文设计的采集电路的模拟部分工作电压降低至3 V，功耗降低至95 mW。同时，本文还为自容式水声采集电路增加了A/D输入时钟调整功能和模拟端低噪声增益调节功能。

1 自容式数据采集存储流程

一般来说，自容式水听器电路应包含以下信号处理流程：前置放大电路从压电传感器处获得较弱的原始电信号，放大后传给滤波电路，经过滤波后传入A/D转换器，再通过串行接口传给嵌入式系统，并进行数据存储。相比常见的自容式采集电

路, 本文设计的采集电路增加了增益控制、采样频率控制这两个功能, 拓宽了使用范围。

本文设计的自容式水听器电路工作流程如图1所示。

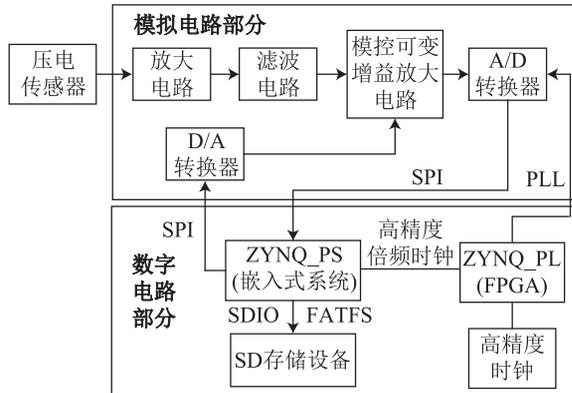


图1 自容式水听器电路信号处理流程图

Fig.1 Signal processing flow-chart of self-contained hydrophone circuit

放大电路与滤波电路将压电传感器或前置放大器传入的信号进行放大与滤波后, 传入可变增益放大电路。ZYNQ 芯片的处理系统(Processing System, PS)端通过 SPI 接口控制着数模转换(Digital / Analog, D/A)转换器输出模拟电压, 从而控制模控可变增益放大电路的放大倍数。经过可变增益放大电路后, 模拟信号在 A/D 转换器上被转为 24 位数字信号, 并通过 SPI 接口传给 ZYNQ 的 MCU。最终, ZYNQ 的 PS 端将数据通过 FatFs 文件系统存入 SD 卡中。ZYNQ 的可编程逻辑(Programmable Logic, PL)端为 A/D 转换器输出 PLL 再分频后的时钟, 配合 A/D 转换器本身的采样率调整能力, 可以灵活地调整 A/D 转换器的采样速率。

2 全差分放大电路设计

在前置放大器之前, 首先要考虑阻抗匹配问题。常规压电传感器的内阻较大, 而且数值差距也较大, 从几万欧姆到上百兆欧姆不等。考虑到本文设计的前置放大电路不进行阻抗匹配时输入阻抗仅有 20 kΩ, 不适合通过串、并联电阻进行匹配, 本文在前置放大器的输入端口之前增加了一个集成运放 LMP7731 构成的电压跟随器, 可以很好地获取传感器电压并以趋于 0 Ω 的输出阻抗传递给下一级。LMP7731 具有低工作电压的特性, 自噪声幅度不高于 2.9 nV/√Hz, 不会在前端引入过多噪声。

在前置放大器方面, 单端输出的放大电路, 需要考虑直流偏置的问题, 而且抗共模干扰能力也较

弱。本文采用的全差分放大电路, 具有不受直流偏置影响和抗共模干扰能力强的优点。为了进一步消除直流偏置, 本文还在每一级放大电路输入端前增加了 10 μF 的隔直电容。本文设计的前两级全差分放大电路如图2所示。差分放大芯片 THS4521 的工作电压低至 3 V, 两级放大电路总放大倍数为 400 倍, 即 52 dB。

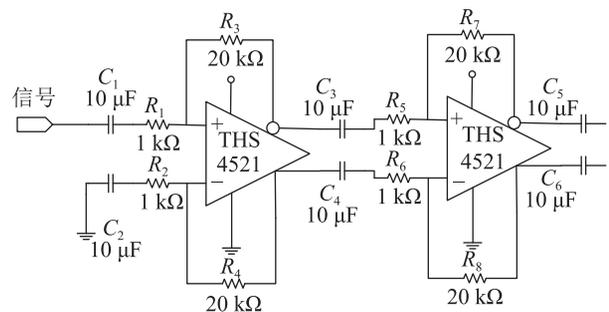


图2 全差分放大电路原理图

Fig.2 Schematic diagram of full differential amplifier circuit

根据前置放大电路的二端口网络等效噪声计算方法^[17], 本文使用的差分放大器 THS4521 的输入电压噪声 e_n 为 4.5 nV/√Hz, 其等效输入噪声源的电压功率谱密度函数的拐点频率 f_{cc} 为 200 Hz, 假设其工作频段为 60 Hz~58 kHz, 则其等效噪声电压源的归一化功率均方值 P_n^2 满足:

$$P_n^2 = \int_{f_A}^{f_B} [e_n^2 + (e_n^2 f_{cc})/f] df = e_n^2 [f_B - f_A + f_{cc} \ln(f_B/f_A)] \quad (1)$$

经计算后可得, 等效输入噪声电压有效值 E_n 为 0.9 μV。

对于各个电阻的噪声, 其热噪声有效电压为

$$E_{ni}^2 = \sqrt{4kTR_i B} \quad (2)$$

其中: B 是频带宽度, k 是玻尔兹曼常数, T 为电阻的绝对温度, R_i 是具体电阻值。

近似地, 放大电路输出总电压噪声有效值 E_{no} 的平方约等于输入电压等效值 E_n 放大后与所有电阻热噪声电压 E_{ni} 与各自的增益 G_{ni} 相乘后的输出的平方和。对于图2所示电路, 有:

$$E_{no}^2 \approx \left[E_n \left(1 + \frac{R_1}{R_3} \right) \left(1 + \frac{R_7}{R_5} \right) \right]^2 + \sum_{i=1}^8 E_{ni}^2 G_{ni}^2 \quad (3)$$

当频带为 60 Hz~58 kHz 时, 理论计算得到的总噪声电压有效值约为 697 μV。

对放大电路总噪声使用 Tina 电路仿真软件对放大电路进行仿真^[18]。结果显示, 全差分放大电路在 58 kHz 处总噪声仿真结果电压有效值约为 756 μV, 比理论计算结果略高。其主要原因是理论计算忽略了较难计算的电阻的 1/f 噪声以及影响较小的电流

输入噪声等因素。由于放大电路在低频仍存在1/f噪声，所以需要设计滤波电路对其进行抑制。

3 组合带通滤波电路设计

为了削减随频率降低而增大的1/f噪声和高频的无关噪声，需要考虑不同滤波器的截止特性。为了削减1/f噪声并在低频快速截止，本文综合分析后选择在低频段采用切比雪夫滤波器^[19]设计高通滤波器；为了平滑地消除高频噪声，在高频段采用过渡曲线最为平滑的贝塞尔滤波器^[20]进行低通滤波，并将两种滤波器组合串联。本文设计的组合滤波器原理图如图3所示。

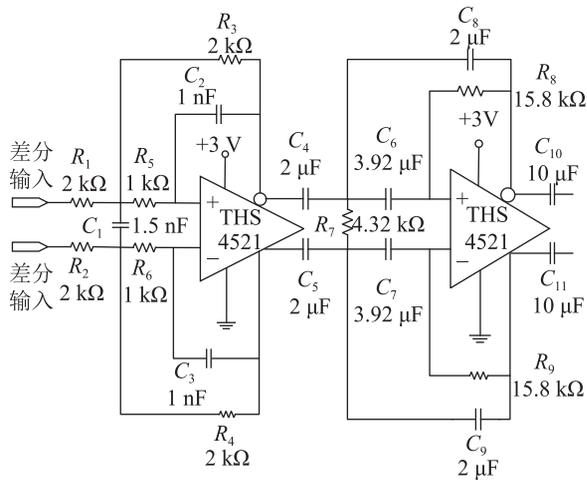


图3 组合滤波器原理图
Fig.3 Schematic diagram of combined filter

图3中，二阶贝塞尔低通滤波器的传递函数 $H_{LP}(s)$ 可以表示为

$$H_{LP}(s) = \frac{1}{R_5 R_3 C_1 C_2 s^2 + s \left(\frac{R_1 R_5 + R_5 R_3 + R_1 R_3}{R_1 C_2} \right) + 1} \quad (4)$$

二阶切比雪夫高通滤波器传递函数 $H_{HP}(s)$ 为

$$H_{HP}(s) = \frac{s R_7 R_8 C_6 C_8}{1 + s R_7 (C_4 + C_6 + C_8) + s^2 (R_7 R_8 C_6 C_8)} \quad (5)$$

使用Tina仿真软件对组合滤波电路进行仿真计算，并将后续AD8338元件的输入阻抗纳入考虑进行计算。最终得到组合滤波电路下限截止频率约为60 Hz，上限截止频率约为58 kHz。

由于在电路中还存在隔直电容等影响因素，元器件与理想的仿真条件也存在一定差距。为验证滤波电路对通频带内信号增益的影响以及放大、滤波电路的实际效果，本文对模拟电路总体幅频曲线进行了仿真，并与模拟电路幅频曲线实测值进行了对比。仿真与实测对比结果如图4所示。

加入滤波电路后，模拟电路仿真总噪声如图5。结合图5中组合电路仿真噪声曲线，本文在A/D芯片的不同采样率下对总噪声有效值 V_{rms} 进行了测量并与仿真值进行了对比。对比结果如表1所示。由表1可知，电路实测结果与仿真结果存在一定差距，但基本符合设计预期，能满足低噪声的性能要求。

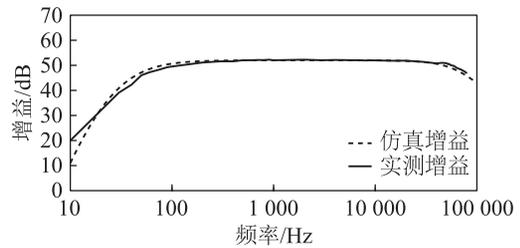


图4 电路仿真与实测增益曲线对比图
Fig.4 Comparison of circuit-simulated and measured gain curves

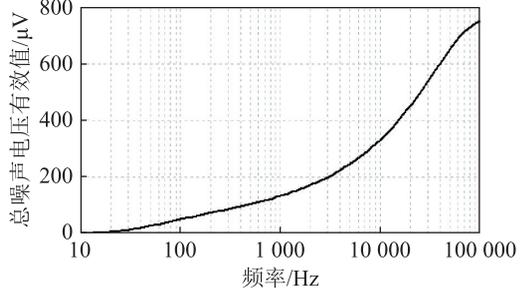


图5 模拟电路总噪声仿真曲线
Fig.5 Total noise simulation curve of the analog circuit

表1 不同A/D模式下总噪声实测与仿真对比
Table 1 Measured and simulated total noise values in different A/D modes

采样率/ kHz	通带 频率/kHz	总噪声电压/μV		实测与仿真 差值/μV
		仿真值	实测值	
8	0~4	220	274	54
64	0~32	557	712	155
128	0~64	689	961	272

实测值与仿真存在差距的原因，可能是电源噪声、测试环境或工艺因素，而导致高采样率时自噪声有效值与实测值差值相对更高的原因则可能是抗混叠滤波器的带宽增加，引入了更多的噪声。此外，高采样率下数字串扰也更高，也可能使总噪声增加。

本文将设计的模拟电路与文献[3]和[13]中的水听器模拟电路进行了对比。对比结果如表2所示。

通过对比可以发现，在功耗方面，本文设计模拟电路的功耗明显低于文献[3]和[13]中设计的水听器模拟电路的功耗。这是由于本文在设计时使用了3 V低工作电压并选型了低功耗元件。通过对比可知，本文模拟电路的功耗相比部分水听器模拟端在

表2 模拟电路的增益、功耗、通带与文献[3]和[13]中的数据对比

Table 2 Comparison of the gain, power consumption and frequency band of the analog circuit with the data in literatures [3] and [13]

对比型号	增益/dB	功耗/mW	通带频率
本文设计的模拟电路	52	95	60 Hz~58.0 kHz
文献[3]设计的模拟电路	20	256	8 Hz~5.6 kHz
文献[13]设计的模拟电路	42	150	30 Hz~1.0 kHz

低功耗方面有一定优势。

为了对信号的增益进行控制, 本文在滤波器后加入了模拟控制可变增益芯片 AD8338, 并通过 DA5331 芯片连接电压跟随器, 为模控增益芯片提供稳定的、可调整的模拟电压。

4 ZYNQ 数字采集存储电路设计

对比传统的 ARM+FPGA 或者 DSP+FPGA 的采集模式, 本文电路设计时选择使用 Xilinx 公司研发的 ZYNQ 可扩展处理平台来对水声信号进行采集。ZYNQ 平台具有两个优点: (1) 在同一芯片上集成了 ARM 和 FPGA, 降低了硬件设计难度, 可以通过 FPGA 为 A/D 芯片提供灵活变化的时钟; (2) 拥有 EMIO 引脚拓展复用功能, 可以将 FPGA 的任意引脚配置为 ARM 内核绝大部分外设的引脚, 比传统的 ARM 或 DSP 芯片更加灵活^[21]。A/D 转换芯片采用了 TI 公司生产的 24 位 ADS127L01 芯片, 它除了低噪声、低电压、全差分等特点外, 还具有最高 512 kHz 的高采样率。

相较于常规自容式水听器, 本文使用了 PLL 核作为 A/D 输出可调整的时钟。这种方式可以配合 A/D 本身的调节能力进行二次分频, 使采样率变化更灵活。

本文使用了双 FIFO(先入先出队列)^[22]乒乓读写方式, A/D 芯片的数据就绪后会触发中断进行一次 SPI 数据传输, 将数据存入一块 FIFO 中。当 FIFO 被填满时, ZYNQ 将用 FatFs 系统^[23]把 FIFO 写入 SD 卡, 同时开始填充另一块缓存。将写入数据与 FIFO 中存放的数据进行比较, 二者完全一致, 保证了写入数据的准确性。FIFO 的块大小会严重影响写入 SD 卡的速度。表 3 是使用 ZYNQ 芯片通过 FatFs 文件系统向 SD 写入 8 MB 大小的文件时, 对不同写入块大小下写入速度的统计表。

根据表 3 可以发现, 写入块的大小对写入速度的影响很大。缓存块越大, 单次写入的数据越多, 传输速度就越快。经过实际测试, ZYNQ 芯片在缓冲区设置为 4 096 Byte 时, 写入时速度即可达到约

表3 写入速度随写入块大小变化统计表

Table 3 Statistical table of write speed changing with write block size

写入块大小/Byte	写入耗时/s	写入速度/(kB·s ⁻¹)
512	15.79	519
1 024	9.50	862
2 048	4.32	1 896
4 096	1.96	4 180

4 MB·s⁻¹, 即使实际数据采集时 SPI 读取中断会对写入速度有一定影响, 也能够满足 A/D 芯片 256 kHz 的采样速率。因此本文的缓存块大小设为 4 096 Byte。

本文的数字电路数据采集流程图如图 6 所示。经过实际测试, 该数字电路能够以稳定的速度进行数据采集, 并每隔 1 h 生成新的采集文件, 方便后续数据处理时寻找相应信号。

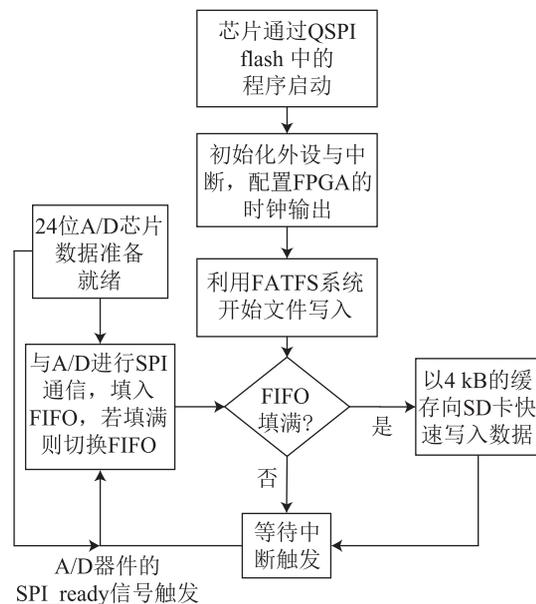


图6 数字电路数据采集流程图

Fig.6 Data acquisition flowchart of digital circuit

5 电路测试与结果

模拟电路板的 PCB 实物如图 7 所示。PCB 板的接线端子少部分用于供电和传输信号, 大部分用于设置 A/D 芯片的工作模式和采样速率。



图7 模拟电路板实物图

Fig.7 Photo of analog circuit board

数字电路使用 ALIENTEK 公司的 Navigator 开发板做原理验证，在进行采集与功耗测试时已关闭开发板附加功能。图 8 是 ZYNQ7020 核心板实物图。

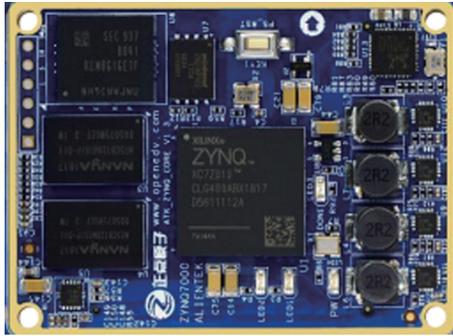


图8 数字电路核心板实物图
Fig.8 Photo of digital circuit core board

在采样率为 8 kHz，对应信号的频率范围为 0~4 kHz 的条件下，通过短接输入端子的正负输入端，去除直流分量，并对自噪声进行 FFT，获得的自噪声频谱曲线如图 9 所示。图 9 中频谱曲线显示，噪声在 50 Hz 以下的低频段受到了高通滤波器的抑制，但由于运放和 A/D 芯片在低频段会带来一定噪声，所以噪声谱级在低频下降幅度不是非常大，只是略低于 -118 dB。若将高通滤波器截止频率提高，可以进一步削弱 1/f 噪声，但会损失低频信息。因此，为了保证低频信号的质量，在 1/f 噪声受到一定的削弱后，本文不再进一步提升高通滤波器截止频率。

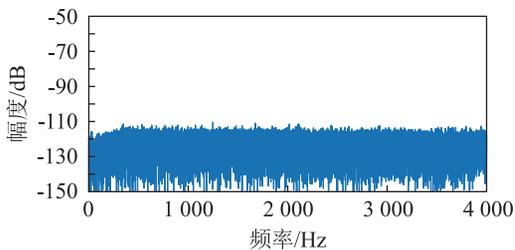


图9 采样率为 8 kHz 时输出端电路自噪声频谱
Fig.9 Self-noise spectrum at the output terminal of the circuit when the sampling frequency is 8 kHz

为体现高通截止特性，本文将中 A/D 芯片的采样率改为 128 kHz，对应信号频率范围 0~64 kHz。短接输入端后对自噪声进行 FFT 处理，结果如图 10 所示。

当采样频率增大时，自噪声的频级在所有频段都有所提升，略高于 -110 dB。这一方面是因为采样率增大，抗混叠滤波器带宽增加，总输入电噪声增加；另一方面 A/D 和 SPI 通讯接口在采样频率较高时产生的数字干扰也会增大。由图 10 可以看出，虽然使用高通滤波器对 50 Hz 以下的噪声进行了抑

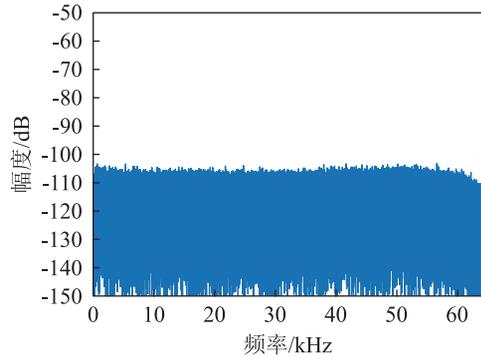


图10 采样率为 128 kHz 时输出端电路自噪声频谱
Fig.10 Self-noise spectrum at the output terminal of the circuit when the sampling frequency is 128 kHz

制，但在 50 Hz~5 kHz 的低频段仍存在一定的 1/f 噪声。同时，当频率大于 58 kHz 时，贝塞尔低通滤波器对自噪声产生了比较明显的抑制作用。

采样率为 8 kHz 时，在输入端外加频率为 1 000 Hz 电信号。对采集到的数据进行 FFT 处理，结果如图 11。图 11 中在 1 kHz 处可以清晰地分辨出输入的电信号，在测试样例中信噪比约为 53 dB，由于模拟电路中存在非线性负载以及工艺因素影响，电路中存在少量谐波。

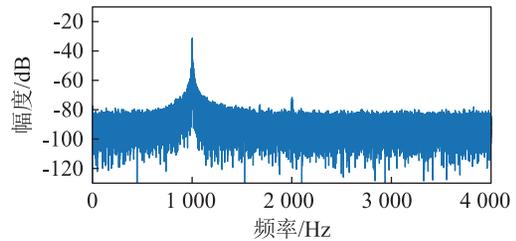


图11 采样率 8 kHz 时 1 000 Hz 频率的输入信号频谱
Fig.11 Spectrum of the input signal at 1 000 Hz when the sampling frequency is 8 kHz

经过实测，模拟电路的功耗与输入信号的频率和幅度有关。在 3 V 供电电压下，模拟电路的电流在不同 A/D 工作模式下随信号电压峰峰值和频率的变化关系如表 4 所示。

考虑到水声压电传感器输出信号的电压一般低

表4 模拟电路电流在 A/D 不同模式下与信号峰峰值与频率的关系

Table 4 The relationship of analog circuit current with the peak to peak value and frequency of signal under different A/D modes

A/D 模式	信号电压峰峰值/mV	电流/mA			
		1 kHz	5 kHz	10 kHz	20 kHz
待机	1	29.2	32.7	38.3	50.3
待机	2	29.9	39.2	51.5	76.7
采样率为 8 kHz	1	36.3	39.4	44.8	55.4
采样率为 128 kHz	1	47.3	48.8	51.0	59.3

于 1 mV, 且能量多集中在中低频段, 所以预计模拟电路在实际使用时的功耗在 95~180 mW 之间。数字电路实测功耗约为 1.9 W。模拟电路与数字电路总功耗约为 2 W。

将本文所设计采集电路与一些 MCU+FPGA 式自容式采集系统的参数比较, 如表 5 所示。当本文设计电路采样率为 8 kHz 时, 若以 1 nV 为参考电压, 其自噪声谱级约为 60 dB, 在 128 kHz 时噪声谱级提高到 70 dB 左右。通过对比可知, 本文设计的采集电路具有较宽的信号通带和较高的采样率, 总功耗相对其他自容式水听器电路也较低。

表 5 自容式采集电路总体指标与文献[12]和[13]中的数据对比
Table 5 Comparison of overall indicators of the self-contained hydrophone acquisition circuit with the data in literatures [12] and [13]

电路种类	总功耗/ W	通频带频率	自噪声 谱级/dB	采样率/ kHz
本文设计的 电路	2	60 Hz~58 kHz	60	128
文献[13]设计 的电路	2.6	30 Hz~1 kHz	52	52
文献[12]设计 的电路	≤3	30 Hz~10 kHz	≤40	≤120

在 8 kHz 采样频率下, 若使用容量为 64 GB 的 TF 卡进行存储, 17 节电压为 3.6 V、容量 19 000 mAh 的 ER34615 干电池组进行供电, 假设电池只有 70% 的容量使用, 则采集时长可以达到约 17 d。

6 结论

为了应对自容式水听器对低噪声、低功耗等性能的需求, 本文从模拟和数字两部分设计了一种自容式采集电路。在模拟部分, 为了降低噪声, 使用二端口噪声网络分析方法进行电路设计, 并采用了全差分电路, 增益为 52 dB。为了改善通频带, 组合使用切比雪夫滤波器和贝塞尔滤波器, 削弱 1/f 噪声和低频无关噪声的同时尽可能保证低频段的增益, 将通频带的增益变化控制在 2 dB 之内。仿真结果与实测幅频曲线比较一致, 当采样率为 128 kHz 时, 自噪声电压有效值为 961 μ V。相比常规自容式水听器模拟电路, 本文设计自容式水听器的模拟电路工作电压低至 3 V, 功耗低至 95 mW, 并具有模控增益调节模块。

在数字电路部分, 本文设计时使用 ZYNQ 代替 MCU+FPGA, 使用 PLL 灵活配合 A/D 的调节能力灵活调整采样频率, 并使用大小为 4 kB 的双 FIFO 块向 SD 卡写入数据, 经实际验证可以满足采样率

128 kHz 的信号传输速率。电路功耗主要来自 ZYNQ 芯片, 模拟、数字电路总功耗约为 2 W。经过仿真验证与实际电路测试, 本文设计的电路采集时长可达 17 d, 可以满足自容式水听器长时间测量微弱信号的需求。

参 考 文 献

- [1] 茹鸿菲, 郭世旭, 王月兵, 等. 基于超低噪声 JFET 的甚低频压电水听器设计[J]. 传感技术学报, 2019, 32(12): 1775-1783.
RU Hongfei, GUO Shixu, WANG Yuebing, et al. Design of very low frequency piezoelectric hydrophone based on ultra low noise JFET[J]. Chinese Journal of Sensors and Actuators, 2019, 32(12): 1775-1783.
- [2] 费腾, 徐平. 超高输入阻抗前置放大器[J]. 声学技术, 2004, 23(S1): 357-359.
- [3] 王文龙. 矢量水听器信号调理电路设计[J]. 舰船电子工程, 2016, 36(4): 142-145.
WANG Wenlong. Design of signal preconditioning circuit for vector hydrophone[J]. Ship Electronic Engineering, 2016, 36(4): 142-145.
- [4] 王建平, 张国军, 薛晨阳, 等. 基于 MEMS 矢量水听器微弱信号提取电路的设计与测试[J]. 仪表技术与传感器, 2010(7): 74-77.
WANG Jianping, ZHANG Guojun, XUE Chenyang, et al. Weak signal extraction circuit design and test based on MEMS vector hydrophone[J]. Instrument Technique and Sensor, 2010(7): 74-77.
- [5] 薛南, 张国军, 张慧, 等. T 型 MEMS 矢量水听器外围信号调理电路的设计[J]. 科学技术与工程, 2013, 13(18): 5127-5131.
XUE Nan, ZHANG Guojun, ZHANG Hui, et al. Design of peripheral signal conditioning circuit for T type MEMS vector hydrophone[J]. Science Technology and Engineering, 2013, 13(18): 5127-5131.
- [6] 朱明骏. 基于 FPGA 的水听器数字前放设计[J]. 舰船电子工程, 2015, 35(5): 161-163.
ZHU Mingjun. Design of digital preamplifier based on FPGA[J]. Ship Electronic Engineering, 2015, 35(5): 161-163.
- [7] 何海兴, 闵静辉, 冯海泓. 数字水听器研制[J]. 网络新媒体技术, 2014, 3(5): 62-64.
HE Haixing, MIN Jinghui, FENG Haihong. The development of the digital hydrophone[J]. Journal of Network New Media, 2014, 3(5): 62-64.
- [8] 孙岩松. 低功耗水声潜标电子系统设计研究[D]. 北京: 中国科学院声学研究所, 2006.
SUN Yansong. Design and research of low power underwater acoustic submarine electronic system[D]. Beijing: Institute of Acoustics, Chinese Academy of Sciences, 2006.
- [9] 唐晓骧. 水声信号采集系统设计与实现[D]. 北京: 中国科学院声学研究所, 2007.
TANG Xiaoxiang. Design and implementation of underwater acoustic signal acquisition system[D]. Beijing: Institute of Acoustics, Chinese Academy of Sciences, 2007.
- [10] 张洪刚, 苑秉成, 徐瑜. 基于 FPGA 和 SD 卡的水声信号高速采集与存储系统设计[J]. 电子器件, 2009, 32(1): 208-212.
ZHANG Honggang, YUAN Bingcheng, XU Yu. Design of a acoustic signals high speed acquisition and storage system based on FPGA and SD card[J]. Chinese Journal of Electron Devices, 2009, 32(1): 208-212.
- [11] 邢传玺, 朴胜春, 宋扬. 基于数字水听器的分布式水下声场测量系统[J]. 传感器与微系统, 2014, 33(12): 110-113.

- XING Chuanxi, PIAO Shengchun, SONG Yang. Distributed underwater acoustic field measurement system based on digital hydrophones[J]. *Transducer and Microsystem Technologies*, 2014, **33**(12): 110-113.
- [12] 周莹, 于金花, 牛志华, 等. 基于FPGA的水声信号采集与存储系统设计[J]. *电子设计工程*, 2014, **22**(13): 184-186.
- ZHOU Ying, YU Jinhua, NIU Zhihua, et al. Design of a acoustic signals acquisition and storage system based on FPGA[J]. *Electronic Design Engineering*, 2014, **22**(13): 184-186.
- [13] 贾启航. 基于TMS320C6000的自容式数据存储与处理平台[D]. 哈尔滨: 哈尔滨工程大学, 2018.
- [14] 李晨歌, 张国军, 朱珊, 等. 自容式水听器的设计与实现[J]. *国外电子测量技术*, 2021, **40**(6): 120-124.
- LI Chengge, ZHANG Guojun, ZHU Shan, et al. Design and implementation of self contained hydrophone[J]. *Foreign Electronic Measurement Technology*, 2021, **40**(6): 120-124.
- [15] Anonymous. Ocean Sonics[J]. *Journal of Ocean Technology*, 2014, **9**(1): 96-97.
- [16] VIPIN K, FAHMY S A. ZyCAP: efficient partial reconfiguration management on the Xilinx ZYNQ[J]. *IEEE Embedded Systems Letters*, 2014, **6**(3): 41-44.
- [17] 高晋占. 电子噪声与低噪声设计[M]. 北京: 清华大学出版社, 2016.
- [18] ZHANG L, LIU K. Design of output filters for magnetic bearing power amplifier based on TINA circuit simulation[J]. *Journal of System Simulation*, 2013, **25**(3): 548-551+557.
- [19] 陈绍荣, 刘郁林, 朱行涛, 等. 切比雪夫II型模拟高通滤波器的设计及实现[J]. *通信技术*, 2020, **53**(4): 806-815.
- CHEN Shaorong, LIU Yulin, ZHU Xingtao, et al. Design and implementation of Chebyshev type II analog high-pass filter[J]. *Communications Technology*, 2020, **53**(4): 806-815.
- [20] SONI A, GUPTA M. Analysis and design of optimized fractional order low pass Bessel filter[J]. *Journal of Circuits System and Computers*, 2021(3): 1-16.
- [21] 杨晓安, 罗杰, 苏蒙, 等. 基于Zynq-7000高速图像采集与实时处理系统[J]. *电子科技*, 2014, **27**(7): 151-154.
- YANG Xiaolan, LUO Jie, SU Hao, et al. High-speed image acquisition and real-time processing system based on zynq-7000[J]. *Electronic Science and Technology*, 2014, **27**(7): 151-154.
- [22] SALEH A, ANN G. Reconfigurable FIFO memory circuit for synchronous and asynchronous communication[J]. *International Journal of Circuit Theory and Applications*, 2021, **49**(4): 938-952.
- [23] 李世奇, 董浩斌, 李荣生. 基于FatFs文件系统的SD卡存储器设计[J]. *测控技术*, 2011, **30**(12): 79-81.
- LI Shiqi, DONG Haobin, LI Rongsheng. Design of SD memory card based on FatFs file system[J]. *Measurement & Control Technology*, 2011, **30**(12): 79-81.